

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11) Publication number: 1020020003625 A  
 (43) Date of publication of application: 15.01.2002

(21) Application number: 1020000034321

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(22) Date of filing: 21.06.2000

(72) Inventor:

KIM, TAE GYUN  
WON, DAE HUI

(51) Int. Cl

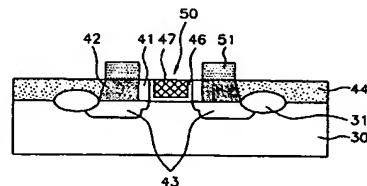
H01L 21/336

## (54) METHOD FOR FABRICATING METAL GATE MOSFET DEVICE

## (57) Abstract:

PURPOSE: A method for fabricating a metal gate MOSFET device is provided to form an ultra shallow junction by using a selective epitaxial growth process.

CONSTITUTION: A field oxide layer(31) is formed on a silicon substrate(30). A thermal oxide layer is grown on the silicon substrate(30). A polysilicon layer is deposited on the thermal oxide layer and the field oxide layer(31). A hard mask layer is deposited on the polysilicon layer. A mask pattern is formed by patterning the hard mask. A sacrificial gate is formed on the silicon substrate(30) by performing an etching process. A spacer(41) is formed on a sidewall of the sacrificial gate. The first silicon epitaxial layer(42) is grown on a source/drain formation region. An elevated source/drain region(43) is formed on the silicon substrate(30) of the sacrificial gate. The first interlayer dielectric(44) is formed on the whole surface. The first interlayer dielectric(44) is planarized and the sacrificial gate is exposed. A groove is formed by etching the exposed sacrificial gate. A gate insulating layer(46) and a metal layer(47) are formed on thereon. A metal gate(50) is formed within the groove by polishing the metal layer(47) and the gate insulating layer(46). The second silicon epitaxial layer(51) is grown on the first silicon epitaxial layer(42).



&amp;copy; KIPO 2002

## Legal Status

Date of request for an examination (20000621)

Final disposal of an application (registration)

Date of final disposal of an application (20020114)

Patent registration number (1003333720000)

Date of registration (20020409)

BEST AVAILABLE COPY

BL

특 2002-0003625

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.<sup>7</sup>

H01L 21/336

(11) 공개번호 특 2002-0003625

(43) 공개일자 2002년 01월 15일

(21) 출원번호 10-2000-0034321  
(22) 출원일자 2000년 06월 21일

(71) 출원인 주식회사 하이닉스반도체 박종섭

경기 이천시 부발읍 아미리 산136-1

(72) 발명자 김태균

경기도 용인시 수지읍 죽전리 501동 성1차 아파트 104동 701호

원대희

(74) 대리인 경기도 군포시 산본동 한양아파트 825동 2402호  
강성배

설사첨구 : 있음

## (54) 금속 게이트 모스펫 소자의 제조방법

## 요약

본 발명은 과도 얕은 접합(Ultra Shallow Junction)을 구현할 수 있고, 그리고, 자기정렬콘택 공정을 용이하게 적용할 수 있는 금속 게이트 모스펫 소자의 제조방법에 관한 것으로, 본 발명의 금속 게이트 모스펫 소자의 제조방법은, 펄드산화막에 의해 한정된 실리콘 기판의 소자 형성 영역 상에 스페이서를 갖는 희생 게이트를 형성하는 단계; 상기 희생 게이트 양측의 상기 실리콘 기판의 소자 형성 영역 상에 소정 두께로 제1실리콘 에피트를 형성하는 단계; 상기 제1실리콘 에피트를 판통하여 상기 희생 게이트 양측의 소자 형성 영역 내에 소정 불순물을 이용주입하여 소오스/드레인 영역을 형성하는 단계; 상기 결과물 상에 제1층간절연막을 증착하는 단계; 상기 희생 게이트가 노출될 때까지, 상기 제1층간절연막을 연마하는 단계; 상기 노출된 희생 게이트를 제거하여 금속 게이트가 형성될 영역을 한정하는 홈을 형성하는 단계; 상기 결과물을 상에 균일한 두께로 게이트 절연막을 형성하고, 상기 홈이 매립되도록, 상기 게이트 절연막 상에 금속막을 증착하는 단계; 상기 제1실리콘 에피트가 노출될 때까지, 상기 금속막, 게이트 절연막 및 제1층간절연막을 연마하여 금속 게이트를 형성하는 단계; 상기 제1실리콘 에피트 상에 소정 두께로 제2실리콘 에피트를 형성하는 단계를 포함하여 이루어진다.

## 도표도

## 도 3a

## 도 3b

## 도면의 간단한 설명

도 1a 내지 도 1b는 증래 기술에 따른 다마신 공정을 이용한 금속 게이트 모스펫 소자의 제조방법을 설명하기 위한 각 공정별 단면도.

도 2는 증래 기술에 따라 금속 게이트의 상부에 절화막 재질의 베리어막을 형성한 상태를 보여주는 단면도.

도 3a 내지 도 3b는 본 발명의 실시예에 따른 금속 게이트 모스펫 소자의 제조방법을 설명하기 위한 각 공정별 단면도.

도 4는 본 발명에 따라 제조된 금속 게이트 모스펫 소자에 대한 자기정렬콘택 공정의 적용 방법을 설명하기 위한 단면도.

## (도면의 주요 부분에 대한 부호의 설명)

30 : 실리콘 기판	31 : 펄드산화막
32 : 열산화막	33 : 폴리실리콘막
34 : 하드 마스크막	34a : 마스크 패턴
40 : 희생 게이트	41 : 스페이서
42 : 제1실리콘 에피트	43 : 소오스/드레인 영역
44 : 제1층간절연막	45 : 홈
46 : 게이트 절연막	47 : 금속막

50 : 금속 게이트	51 : 제2실리콘 에피소
52 : 제2층간절연막	53 : 콘택홀
54 : 콘택 클러그	

### **발명의 상세한 설명**

#### **발명의 특징**

##### **발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 금속 게이트 모스펫(MOSFET) 소자의 제조방법에 관한 것으로, 특히, 실리콘의 선택적 에피택셜 성장 공정을 이용하는 것에 의해서 과도 얕은 접합(Ultra Shallow Junction)을 구현할 수 있고, 아울러, 후속에서 자기정렬콘택 공정을 적용할 수 있는 금속 게이트 모스펫 소자의 제조방법에 관한 것이다.

반도체 소자의 점적도가 증가됨에 따라 게이트 전극의 선쪽, 게이트 절연막의 두께, 접합 깊이 등의 변수들이 감소되고 있는 추세에서, 풀리실리콘 재질의 게이트 전극으로는 미세 선쪽에서 요구되는 저저항 값을 구현하는데, 그 한계가 있다. 따라서, 풀리실리콘 게이트를 대체할 수 있는 새로운 풀리실리콘 구조의 게이트에 대한 개발이 필요하게 되었고, 하나의 예로서, 전이금속-실리사이드계 물질을 적용한 풀리사이드 게이트에 대한 연구 및 개발이 활발하게 진행되었다.

그런데, 상기 풀리사이드 게이트는 그 내부에 풀리실리콘이 존재하는 것에 기인해서, 풀리실리콘 게이트와 마찬가지로 낮은 저항을 구현하는데 한계가 있는 바, 최근에는 금속 게이트에 대한 연구 및 개발이 적극적으로 진행되고 있다.

상기 금속 게이트는 도편트를 사용하지 않기 때문에 풀리실리콘 게이트 및 풀리사이드 게이트에서 발생되었던 풀리실리콘 게이트에서의 보론 첨류(boron penetration) 현상, 게이트 공핍화(gate depletion) 현상 및 도편트 분포 변동에 의한 문턱전압의 변화 등을 방지할 수 있고, 또한, 실리콘의 미드밴드-갭(mid band-gap)에 위치하는 일할수 값을 갖는 금속을 사용함으로써 NMOS 및 PMOS 영역에서 동시에 사용할 수 있는 단일 게이트로서 적용할 수 있다. 여기서, 일할수 값이 실리콘의 미드 밴드-갭에 해당하는 금속으로는 텅스텐(W), 질화텅스텐(W<sub>x</sub>N<sub>y</sub>), 티타늄(Ti), 질화티타늄(TiN), 풀리브덴(Mo) 및 탄탈룸(Ta) 및 질화탈늄(TaN)막 등이 있다.

한편, 금속 게이트를 모스펫 소자에 적용할 경우, 금속 게이트의 패터닝, 즉, 식각의 어려움, 식각 및 이온주입시의 휠라즈마에 의한 데미지(damage) 및 후속 공정에 의한 물적 데미지 등의 공정 상의 문제점이 유발되며, 그래서, 소자 특성이 저하되는 문제점이 있다.

따라서, 상기한 공정 상의 문제점을 해결하기 위해서, 다마신(Damascene) 공정을 이용하는 방법이 제안되었다. 상기 다마신 공정을 이용한 금속 게이트 형성방법은 풀리실리콘 재질의 희생 게이트를 형성한 후, 충간절연막 형성, 희생 게이트의 제거, 금속막 증착 및 금속막에 대한 연마를 통해 상기 희생 게이트를 금속 게이트로 변경시키는 기술이며, 식각 공정 없이 게이트를 형성할 수 있는 바, 식각 공정에 기인된 문제를 방지할 수 있고, 특히, 기존의 반도체 제조 공정을 그대로 이용할 수 있다는 장점이 있다.

이하에 종래 기술에 따른 다마신 공정을 이용한 금속 게이트 모스펫 소자의 제조방법을 도 1a 내지 도 1e를 참조하여 설명하도록 한다.

먼저, 도 1a에 도시된 바와 같이, 실리콘 기판(1)의 표면 상에 소자 형성 영역을 한정하는 펄드산화막(2)을 형성하고, 그런 다음, 상기 실리콘 기판(1) 상에 열산화막(3)을 성장시킨 후, 상기 열산화막(3) 및 펄드산화막(2) 상에 풀리실리콘막(4) 및 하드 마스크막(5)을 차례로 증착한다.

다음으로, 도 1b에 도시된 바와 같이, 상기 하드 마스크막을 패터닝하여 마스크 패턴(5a)을 형성한 후, 상기 마스크 패턴(5a)을 이용하여 그 하부의 풀리실리콘막(4) 및 열산화막(3)을 식각하는 것에 의해서 희생 게이트(10)를 형성한다. 그리고나서, 상기 희생 게이트(10)의 축복에 스페이서(11)를 형성한 후, 상기 결과물에 대해 이온주입 공정을 수행하는 것에 의해서 상기 희생 게이트(10) 양측의 실리콘 기판 부분에 소오스/드레이인 영역(12)을 형성한다.

다음으로, 도 1c에 도시된 바와 같이, 상기 결과물 상에 충간절연막(13)을 증착한 후, 화학적기계적연마(Chemical Mechanical Polishing : 이하, CMP) 공정으로 상기 충간절연막(13)을 연마하여 그 표면을 평坦화시킴과 동시에, 상기 희생 게이트(10)를 노출시킨다.

이어서, 도 1d에 도시된 바와 같이, 상기 CMP 공정의 결과로 노출된 희생 게이트를 제거하여 후속에서 금속 게이트가 형성될 영역을 한정하는 흙(14)을 형성한 후, 상기 결과물의 표면을 따라서 군일한 두께로 게이트 절연막(15)을 형성하고, 그리고나서, 상기 게이트 절연막 상에 상기 흙(14)이 완전히 매립될 정도의 충분한 두께로 금속막(16)을 증착한다.

다음으로, 도 1e에 도시된 바와 같이, 충간절연막(13)이 노출될 때까지, 상기 금속막(16)과 게이트 절연막(15)을 연마하여 상기 흙(14) 내에 금속 게이트(20)를 형성하고, 그 결과로, 상기 금속 게이트(20)를 갖는 모스펫 소자를 완성한다.

#### **발명이 이루고자 하는 기술적 목표**

그러나, 상기와 같은 종래의 다마신 공정을 이용한 금속 게이트 모스펫 소자의 제조방법은 공정 자체로는 커다란 문제점이 있지만, 초고집적 모스펫 소자에서 요구되는 과도 얕은 접합(Ultra Shallow Junction)을 형성하기 어렵기 때문에, 엘리베이티드(Elevated) 소오스/드레이인 영역을 형성하기 위한 새로운 공정 기술

의 도입이 요구되는 문제점이 있다.

또한, 증거의 다마신 공정을 이용한 금속 게이트 모스펫 소자의 제조방법은 공정 상의 신뢰성은 확보되지만, 후속에서 자기정렬콘택(Self Aligned Contact : 이하 SAC) 공정이 적용될 경우, 상기 금속 게이트 상에 베리어막이 존재하지 않는 것에 기인하여 노광 마스크의 오정렬(mis-align)이 발생될 경우에는 상기 금속 게이트와 콘택 를 끌고 그간의 전기적 쇼트(short)가 발생된다는 치명적인 단점을 갖고 있다. 이에 따라, 자기정렬콘택 공정의 적용을 가능하게 하는 추가 공정 단계의 도입이 필요하게 되었으며, 예로서, 도 2에 도시된 바와 같이, 금속막에 대한 CMP 공정을 통해 금속 게이트(20)를 형성한 후, 상기 금속 게이트(20)의 일정 두께만큼을 식각하고, 그리고나서, 절화막의 증착 및 CMP 공정을 통해 상기 금속 게이트의 상부에 절화막으로 이루어진 SAC 베리어막(21)을 형성시키는 공정이 제안되었다.

그런데, 상기 SAC 베리어막의 형성 공정은, 실질적으로, 금속 게이트의 식각 공정과 절화막의 CMP 공정에 어려움이 있는 바, 실제 공정에 적용하기 곤란한 문제점이 있다.

따라서, 본 발명은 상기와 같은 문제점을 해결하기 위하여 만출된 것으로서, 실리콘의 선택적 에피택셜 성장(Selective Epitaxial Growth) 공정을 이용하는 것에 의해 과도 얕은 접합의 구현이 가능하고, 그리고, 자기정렬콘택 공정을 적용할 수 있는 금속 게이트 모스펫 소자의 제조방법을 제공하는데, 그 목적이다.

### 본명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 금속 게이트 모스펫 소자의 제조방법은, 필드산화막에 의해 한정된 실리콘 기판의 소자 형성 영역 상에 스페이서를 갖는 회생 게이트를 형성하는 단계; 상기 회생 게이트 양측의 상기 실리콘 기판의 소자 형성 영역 상에 소정 두께로 제1실리콘 에피층을 형성하는 단계; 상기 제1실리콘 에피층을 관통하여 상기 회생 게이트 양측의 소자 형성 영역 내에 소정 불순물을 미온주입하여 소오스/드레인 영역을 형성하는 단계; 상기 결과물 상에 제1충간절연막을 증착하는 단계; 상기 회생 게이트가 노출될 때까지, 상기 제1충간절연막을 연마하는 단계; 상기 노출된 회생 게이트를 제거하여 금속 게이트가 형성될 영역을 한정하는 훌을 형성하는 단계; 상기 결과물을 상에 균일한 두께로 게이트 절연막을 형성하고, 상기 훌이 매립되도록, 상기 게이트 절연막 상에 금속막을 증착하는 단계; 상기 제1실리콘 에피층이 노출될 때까지, 상기 금속막, 게이트 절연막 및 제1충간절연막을 연마하여 금속 게이트를 형성하는 단계; 상기 제1실리콘 에피층 상에 소정두께로 제2실리콘 에피층을 형성하는 단계를 포함하여 이루어진다.

본 발명에 따르면, 소오스/드레인 영역이 형성될 실리콘 기판 부분 상에 실리콘 에피층을 형성하여 월리베이티드 소오스/드레인 영역을 형성시키는 것에 의해 과도 얕은 접합을 형성할 수 있으며, 아울러, 실리콘 에피층의 높이를 금속 게이트 보다 높게 함으로써, SAC 베리어막의 형성 없이도, SAC 공정을 용이하게 적용할 수 있다.

### (실시예)

이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

도 3a 내지 도 3f는 본 발명의 실시예에 따른 금속 게이트 모스펫 소자의 제조방법을 설명하기 위한 각 공정별 단면도이다.

먼저, 도 3a에 도시된 바와 같이, 실리콘 기판(30)의 표면에 소자 형성 영역을 한정하는 필드산화막(31)을 형성하고, 그림 다음, 상기 실리콘 기판(30)의 표면 상에 열산화막(32)을 성장시킨 후, 상기 열산화막(32) 및 필드산화막(31) 상에 LPCVD 공정으로 풀리실리콘막(33)을 2,000~4,000 Å 두께로 증착한다. 이때, 상기 풀리실리콘막(33)은 그 증착시, 인-시튜(in-situ) 방식으로 도용하거나, 또는 그 증착 후에 미온주입을 통해 도용한다. 이어서, 상기 풀리실리콘막(33) 상에 산화막 또는 절화막으로 이루어진 하드 마스크막(34)을 800~1,000 Å 두께로 증착한다.

다음으로, 도 3b에 도시된 바와 같이, 상기 하드 마스크막을 패터닝하여 마스크 패턴(34a)을 형성하고, 이러한 마스크 패턴(34a)을 이용한 식각 공정으로 상기 풀리실리콘막(33)과 열산화막(32)을 식각하는 것에 의해 상기 풀리실리콘막(33)에 의해 한정된 상기 실리콘 기판(30)의 소자 형성 영역에 상기 열산화막(32)과 풀리실리콘막(33)의 적용 구조로 이루어진 회생 게이트(40)를 형성한다. 그리고나서, 상기 결과물을 상에 스페이서용 산화막을 900~1,200 Å 두께로 증착한 후, 이를 전면식각하여 상기 회생 게이트(40)의 축벽에 스페이서(41)를 형성한다.

그 다음, 도 3c에 도시된 바와 같이, 실리콘의 선택적 에피택셜 성장 (Selective Epitaxial Growth : 이하 SEG) 공정으로 상기 실리콘 기판(30)의 소오스/드레인 형성 영역 상에 제1실리콘 에피층(42)을 1,500~3,000 Å 두께로 성장시키고, 이어서, 미온주입 공정을 수행하여 회생 게이트(40) 양측의 상기 실리콘 기판 부분에 월리베이티드 소오스/드레인 영역(43)을 형성한다.

여기서, 상기 SEG 공정은 LPCVD 또는 UHV(Ultra High Vacuum)CVD 방식을 이용하여 수행하며, 상기 LPCVD 방식을 이용한 SEG 공정의 경우에는 SiH<sub>4</sub> 단위의 H<sub>2</sub> 가스를 케리어 가스로 사용하고, 수백 sccm 정도의 OCS 및 HCl 가스를 증착 가스로서 사용하며, 증착압력은 수~수백 Torr, 그리고, 온도가 750~1,000°C 범위인 공정 조건으로 행하고, 상기 UHV CVD 방식을 이용한 SEG 공정의 경우에는 Si<sub>2</sub>H<sub>6</sub> 및 Cl<sub>2</sub> 가스를 증착 가스로서 사용하고, 증착 압력이 수~수백 Torr, 그리고, 온도가 400~800°C 범위인 공정 조건으로 행한다. 또한, 상기 LPCVD 방식을 이용한 SEG 공정의 경우, 800°C 이상의 온도, 바람직하게는, 800~1,000°C의 온도에서 1~3분 동안 수소 배이크(Bake)를 실시하며, 증착 가스에 BeH<sub>4</sub> 가스를 추가로 더첨가하여 실리콘 에피층(Epi-Si) 대신에 실리콘게르마늄 에피층(Epi-SiGe)을 성장시키는 것도 가능하다. 게다가, 상기 방식들을 이용한 SEG 공정 시에는 PH<sub>3</sub> 또는 AsH<sub>3</sub> 가스를 사용하여 인-시튜(in-situ) 도핑을 행함으로써, 제1 실리콘 에피층(42)에서의 콘택 저항을 감소시킨다. 이때, 상기 PH<sub>3</sub> 또는 AsH<sub>3</sub> 가스의 유량은 수백 sccm

정도로 하며, 그 도핑 농도는  $1 \times 10^{19} \sim 10^{20}$  정도로 한다.

한편, 상기 SEG 공정시에는 필드산화막(31)을 사이에 두고 양옆으로 성장하는 실리콘 에피층이 서로 연결되지 않도록 진행해야한다.

계속해서, 도 3e에 도시된 바와 같이, 상기 결과를 상에 4,000~6,000A 두께로 제1층간절연막(44)를 증착하고, 상기 회생 게이트(40)를 역마저지층으로 하는 CMP 공정으로 상기 제1층간절연막(44)과 마스크 패턴을 면미해서, 상기 제1층간절연막(44)을 평단화시킴과 동시에 상기 회생 게이트(40)를 노출시킨다.

그 다음, 도 3e에 도시된 바와 같이, 상기 노출된 회생 게이트를 습식 또는 건식 식각 공정으로 제거하여 후속에서 금속 게이트가 형성을 흠(45)를 형성한 후, 상기 결과물의 표면을 따라서 균일한 두께로 게이트 절연막(46)을 형성하고, 이어서, 상기 게이트 절연막(46) 상에 상기 흠(45)이 완전히 매립될 정도의 충분한 두께로 금속막(47)을 증착한다. 이때, 상기 게이트 절연막(46)은 성장법(growth) 또는 증착법에 의한 산화막, 질산화막, 또는 고유전율(hight-k dielectric)막으로 형성하며, 상기 금속막(47)은 폴리기상증착(PVD) 또는 화학기상증착(CVD) 방식에 의한 링스텐(W), 질화텅스텐(WN), 티타늄(Ti), 질화티타늄(TiN), 폴리브덴(Mo) 또는 탄탈룸(Ta) 등으로 형성된다.

다음으로, 도 3e에 도시된 바와 같이, 상기 제1실리콘 에피층(42)이 노출될 때까지, 상기 금속막(47) 및 게이트 절연막(46)을 면미하고, 이 결과로, 상기 흠(45) 내에 금속 게이트(50)를 형성한다. 그런 다음, 주로 SEG 공정을 수행하여 상기 제1실리콘 에피층(42) 상에만 400~700A 두께로 제2실리콘 에피층(51)을 성장시키는 것에 의해서 금속 게이트 모스펫 소자를 완성한다. 이때, 상기 제2실리콘 에피층(51)은 상기 제1실리콘 에피층(42)과 동일한 방식으로 성장시켜, 금속 게이트(50)를 사이에 두고 양옆으로 성장하는 실리콘 에피층이 서로 연결되지 않도록 성장시킨다.

상기와 같은 본 발명의 제조방법에 있어서, 소오스/드레인 영역(43)을 형성하기 전, 제1실리콘 에피층(42)을 형성시키는 것에 의해서, 매우 용이하게 엘리베이티드 소오스/드레인 영역(43)을 형성할 수 있으며, 그래서, 과도 얇은 접합을 구현할 수 있다.

도 4는 본 발명에 제조방법에 따라 제조된 금속 게이트 모스펫 소자에 대해 후속의 자기정렬콘택 공정의 적용 방법을 설명하기 위한 단면도로서, 도시된 바와 같이, 우선, 상기 제2실리콘 에피층(51)을 덮도록 상기 제1층간절연막(44) 상에 제2층간절연막(52)을 증착한 후, 상기 제2층간절연막(52)의 소정 부분을 식각하여 상기 제2실리콘 에피층(51)을 노출시키는 콘택홀(53)을 형성한다. 그런 다음, 상기 콘택홀(53)이 매립되도록 상기 제2층간절연막(52) 상에 퀄러그용 콜리실리콘막을 증착한 후, 상기 제2층간절연막(52)이 노출될 때까지, 상기 퀄러그용 콜리실리콘막을 연마하는 것에 의해서 상기 콘택홀(53) 내에 상기 제2실리콘 에피층(51)과 콘택되는 콘택 퀄러그(54)를 형성한다.

이때, 상기 콘택홀(53) 형성을 위한 식각시, 상기 제1실리콘 에피층(42) 및 제2실리콘 에피층(51)이 형성되어진 것에 기인하여 콘택 깊이가 감소되며, 이에 따라, 콘택 식각 및 콘택 매립을 용이하게 진행할 수 있다. 또한, 상기 콘택홀(53)의 형성 시, 금속 게이트(50)가 노출되지 않기 때문에, 본 발명의 제조방법을 이용할 경우, SAC 버리어막의 형성 없이도 SAC 공정을 용이하게 수행할 수 있고, 특히, 전체적인 제조 공정의 단순화 및 안정화를 확보할 수 있다.

#### 본원의 효과

이상에서와 같이, 본 발명은 실리콘의 선택적 에피택셜 성장 공정을 도입함으로써, 용이하게 과도 얇은 접합을 구현할 수 있으며, 또한, SAC 버리어막의 형성 없이도 SAC 공정을 용이하게 적용할 수 있다. 따라서, 모스펫 소자 제조 공정의 신뢰성 및 안정성을 확보할 수 있으며, 그래서, 고질적 소자의 제조에 매우 유리하게 적용할 수 있다.

기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

#### (5) 청구의 범위

청구항 1. 필드산화막에 의해 한정된 실리콘 기판의 소자 형성 영역 상에 스페이서를 갖는 회생 게이트를 형성하는 단계;

상기 회생 게이트 양측의 상기 실리콘 기판의 소자 형성 영역 상에 소정 두께로 제1실리콘 에피층을 형성하는 단계;

상기 제1실리콘 에피층을 관통하여 상기 회생 게이트 양측의 소자 형성 영역 내에 소정 불순물을 이온주입하여 소오스/드레인 영역을 형성하는 단계;

상기 결과물 상에 제1층간절연막을 증착하는 단계;

상기 회생 게이트가 노출될 때까지, 상기 제1층간절연막을 연마하는 단계;

상기 노출된 회생 게이트를 제거하여 금속 게이트가 형성될 영역을 한정하는 흠을 형성하는 단계;

상기 결과물 상에 균일한 두께로 게이트 절연막을 형성하고, 상기 흠이 매립되도록, 상기 게이트 절연막 상에 금속막을 증착하는 단계;

상기 제1실리콘 에피층이 노출될 때까지, 상기 금속막, 게이트 절연막 및 제1층간절연막을 연마하여 금속 게이트를 형성하는 단계;

상기 제1실리콘 에피층 상에 소정 두께로 제2실리콘 에피층을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 모스펫 소자의 제조방법.

청구항 2. 제 1 항에 있어서, 상기 제1 및 제2실리콘 에피층은, LPCVD 또는 UHV(Ultra High Vacuum)CVD

방식을 이용한 선택적 에피택셜 성장 공정으로 형성하는 것을 특징으로 하는 금속 게이트 모스펫 소자의 제조방법.

청구항 3. 제 2 항에 있어서, 상기 LPCVD 방식을 이용한 선택적 에피택셜 성장 공정은,

SiH<sub>4</sub> 단위의 H<sub>2</sub> 가스를 케리어 가스로 사용하고, 수백 sccm 정도의 OCS 및 HCl 가스를 증착 가스로서 사용하며, 증착압력은 수~수백 Torr, 그리고, 온도가 750~1,000°C 범위인 공정 조건으로 행하는 것을 특징으로 하는 금속 게이트 모스펫 소자의 제조방법.

청구항 4. 제 2 항에 있어서, 상기 LPCVD 방식을 이용한 선택적 에피택셜 성장 공정은,

800~1,000°C의 온도에서 1~3분 동안 수소 베이크(Bake)를 실시하는 것을 특징으로 하는 금속 게이트 모스펫 소자의 제조방법.

청구항 5. 제 3 항에 있어서, 상기 LPCVD 방식을 이용한 선택적 에피택셜 성장 공정은,

실리콘 에피층(Epi-Si) 대신에 실리콘게르마늄 에피층(Epi-SiGe)을 성장되도록, GeH<sub>4</sub> 가스를 첨가하여 수행하는 것을 특징으로 하는 금속 게이트 모스펫 소자의 제조방법.

청구항 6. 제 1 항에 있어서, 상기 UHVCVD 방식을 이용한 선택적 에피택셜 성장 공정은, Si<sub>3</sub>H<sub>6</sub> 및 Cl<sub>2</sub> 가스를 증착 가스로서 사용하고, 증착 압력이 수~Torr, 그리고, 온도가 400~800°C 범위인 공정 조건으로 행하는 것을 특징으로 하는 금속 게이트 모스펫 소자의 제조방법.

청구항 7. 제 2 항에 있어서, 상기 제1실리콘 에피층을 형성하기 위한 선택적 에피택셜 성장시,

PH<sub>3</sub> 또는 AsH<sub>3</sub> 가스를 사용하여 인-시류(in-situ) 도핑을 행하는 것을 특징으로 하는 금속 게이트 모스펫 소자의 제조방법.

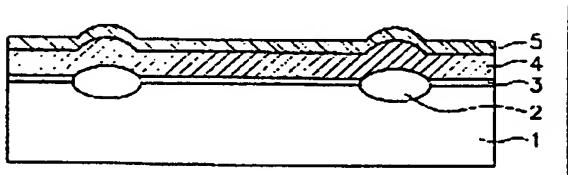
청구항 8. 제 7 항에 있어서, 상기 도핑은, PH<sub>3</sub> 또는 AsH<sub>3</sub> 가스의 유량은 수백 sccm 정도로 하며, 그 농도는  $1 \times 10^{-9}$  ~  $10^{-8}$  정도로 하는 것을 특징으로 하는 금속 모스펫 소자의 제조방법.

청구항 9. 제 1 항에 있어서, 상기 제1실리콘 에피층은 1,500~3,000Å 두께로 형성하는 것을 특징으로 하는 금속 게이트 모스펫 소자의 제조방법.

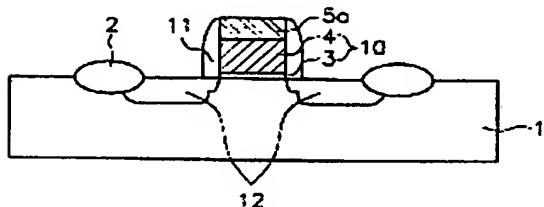
청구항 10. 제 1 항에 있어서, 상기 제2실리콘 에피층은, 400~700Å 두께로 형성하는 것을 특징으로 하는 금속 게이트 모스펫 소자의 제조방법.

#### 도면

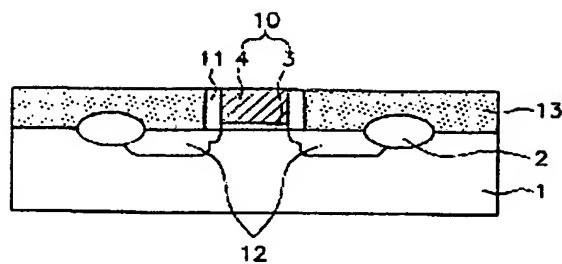
도면 1



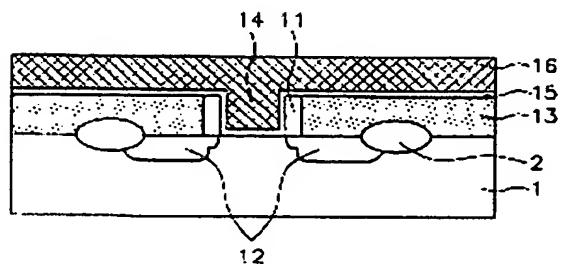
도면 2



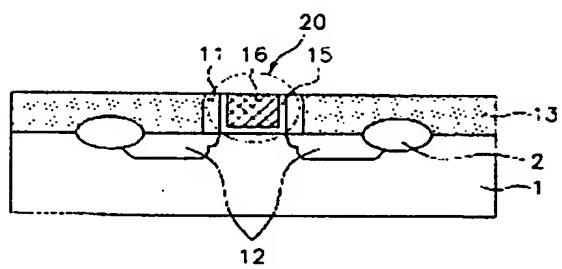
도면 10



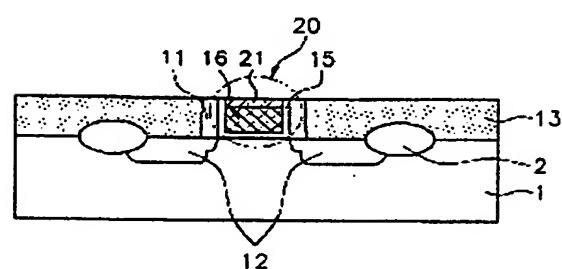
도면 11



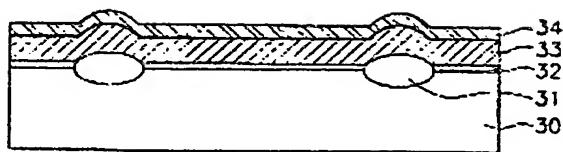
도면 12



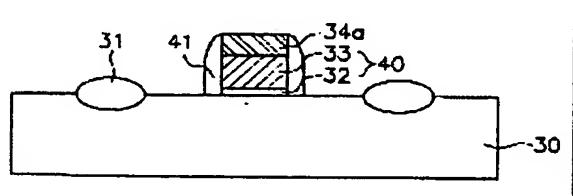
도면 13



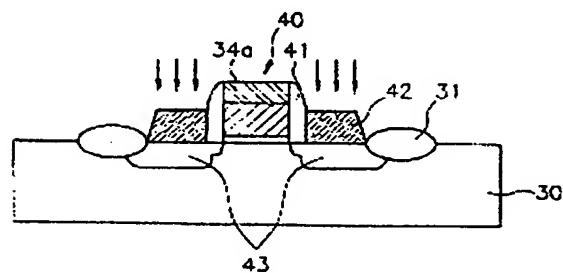
도면3a



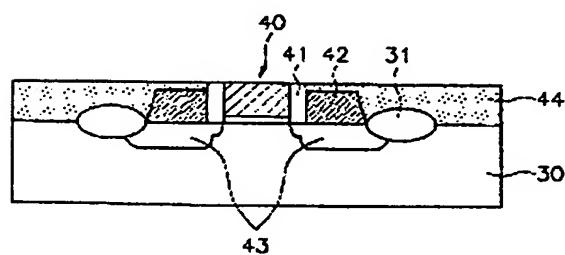
도면3b



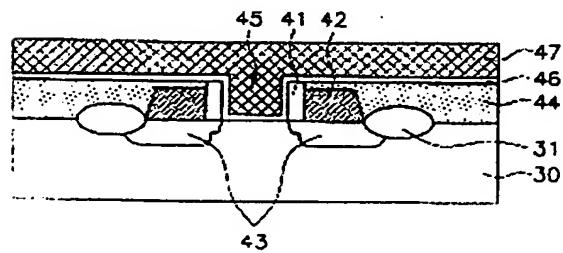
도면3c



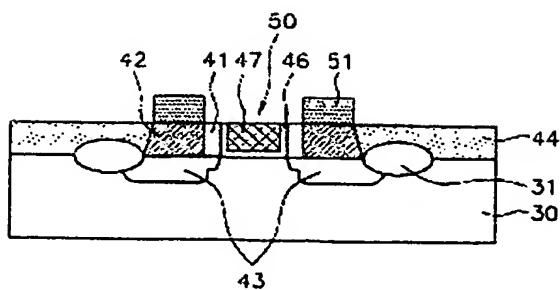
도면3d



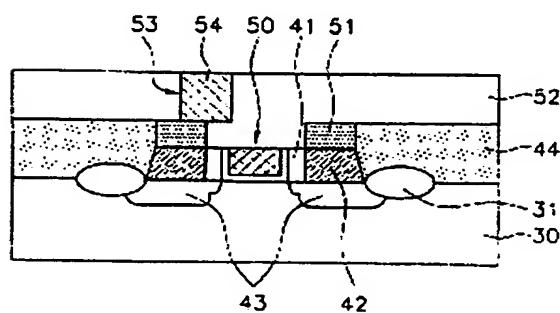
도면3e



도면3



도면4



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**